

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251449
 (43)Date of publication of application : 17.09.1999

(51)Int.Cl. H01L 21/8238
 H01L 27/092
 H01L 21/8244
 H01L 27/11
 H01L 27/108
 H01L 21/8242

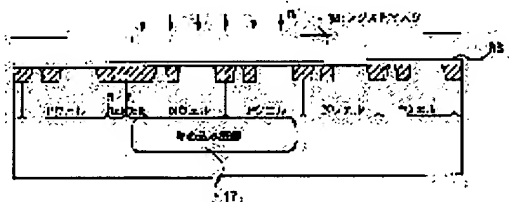
(21)Application number : 10-053912 (71)Applicant : NEC CORP
 (22)Date of filing : 05.03.1998 (72)Inventor : UCHIDA TETSUYA

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT HAVING TRIPLE-WELL STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a MOSFET without increasing the number of processes by using an ion implantation mask for an embedded impurity layer as an etching mask for a silicon oxide film at the same time and forming gate oxide films of two thicknesses in a single chip.

SOLUTION: After N and P wells are formed, thermal oxidation is performed. Then, on the surface of an N type silicon substrate, a 40 Å silicon oxide film 33 is formed. A memory cell part and an input/output circuit sections are covered with a resist mask 34 by photolithographic technology. Then boron ions are implanted by an implantation energy of 1 MeV and an implantation quantity of $1 \times 10^{13} \text{ cm}^{-2}$. Thus, an embedded P-type layer 17 is formed inside the substrate in a region not covered with the resist mask 34. The silicon oxide film 33 not covered with the resist mask 34 removed by etching by using buffered hydrofluoric acid. The film is subjected to thermal oxidation again, and a gate oxide film having a total thickness of 70 Å is formed on the exposed region on the silicon surface.



LEGAL STATUS

[Date of request for examination] 05.03.1998
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]

[Patent number] 3196714
[Date of registration] 08.06.2001
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251449

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 21/8238
27/092
21/8244
27/11
27/108

H 0 1 L 27/08
27/10

3 2 1 B
3 8 1
6 0 1

審査請求 有 請求項の数 7 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平10-53912

(22) 出願日 平成10年(1998) 3月5日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 内田 哲弥

東京都港区芝五丁目7番1号 日本電気株式会社内

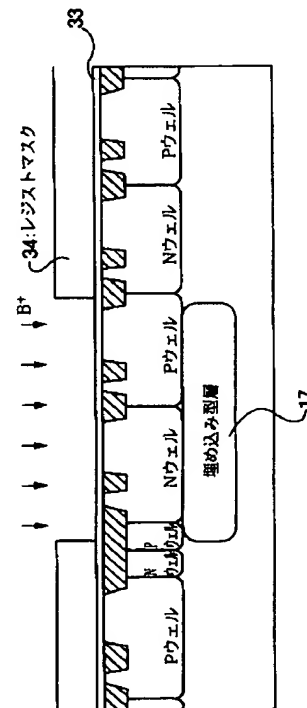
(74) 代理人 弁理士 高橋 詔男 (外4名)

(54) 【発明の名称】 トリプルウェル構造の半導体集積回路の製造方法

(57) 【要約】

【課題】 工程数を増加させずに1チップ内に2種類のゲート酸化膜厚のMOSFETを形成することができるトリプルウェル構造の半導体集積回路の製造方法を提供する。

【解決手段】 N型シリコン基板1にNウェル、Pウェル、素子分離を形成した後、熱酸化により全面にシリコン酸化膜33を形成し、続いてシリコン酸化膜の必要とする領域をレジストでマスク34し、続いてNウェル及びPウェルの底部に飛程が来る程度の注入エネルギーでボロンイオンをイオン注入し、このイオン注入後、レジストマスク34で覆われていない領域のシリコン酸化膜33をエッチング除去し、続いてレジストを除去して全面をもう一度熱酸化してレジストで覆っていた領域には厚いゲート酸化膜36を形成し、覆っていなかった領域には薄いゲート酸化膜35を形成し、その後通常の半導体製造工程に従ってゲート電極、ソース及びドレイン拡散層を形成する。



【特許請求の範囲】

【請求項 1】 トリプルウェル構造の半導体集積回路の製造方法であって、
埋め込み不純物層のイオン注入マスクを同時にシリコン酸化膜のエッチングマスクに用い、このエッチングを利用して 1 チップで 2 種類の膜厚のゲート酸化膜を形成することを特徴とするトリプルウェル構造の半導体集積回路の製造方法。

【請求項 2】 トリプルウェル構造の半導体集積回路の製造方法であって、
N 型半導体基板に N ウェル、P ウェル、素子分離を形成した後、熱酸化により全面にシリコン酸化膜を形成し、続いてシリコン酸化膜の必要とする領域をレジストでマスクし、続いて N ウェル及び P ウェルの底部に飛程が来る程度の注入エネルギーで P 型不純物をイオン注入し、このイオン注入後、レジストマスクで覆われていない領域のシリコン酸化膜をエッチング除去し、続いてレジストを除去して全面をもう一度熱酸化してレジストで覆っていた領域には厚いゲート酸化膜を形成し、覆っていなかった領域には薄いゲート酸化膜を形成し、その後通常の半導体製造工程に従ってゲート電極、ソース及びドレイン拡散層を形成することを特徴とするトリプルウェル構造の半導体集積回路の製造方法。

【請求項 3】 前記レジストマスクされる領域は外部電源電圧 V_{ext} がゲートにかかる入出力回路部や DRAM においてはワード線昇圧が行われるメモリセルアレイ部であることを特徴とする請求項 2 記載のトリプルウェル構造の半導体集積回路の製造方法。

【請求項 4】 前記 P 型不純物のイオン注入により一部の N ウェルは P ウェルおよび埋め込み P 型層で覆われ、N 型半導体基板と電気的に絶縁されることを特徴とする請求項 2 又は 3 のいずれかに記載のトリプルウェル構造の半導体集積回路の製造方法。

【請求項 5】 トリプルウェル構造の半導体集積回路の製造方法であって、
P 型半導体基板に N ウェル、P ウェル、素子分離を形成した後、熱酸化により全面にシリコン酸化膜を形成し、続いてシリコン酸化膜の必要とする領域をレジストでマスクし、続いて N ウェル及び P ウェルの底部に飛程が来る程度の注入エネルギーで N 型不純物をイオン注入し、このイオン注入後、レジストマスクで覆われていない領域のシリコン酸化膜をエッチング除去し、続いてレジストを除去して全面をもう一度熱酸化してレジストで覆っていた領域には厚いゲート酸化膜を形成し、覆っていなかった領域には薄いゲート酸化膜を形成し、その後通常の半導体製造工程に従ってゲート電極、ソース及びドレイン拡散層を形成することを特徴とするトリプルウェル構造の半導体集積回路の製造方法。

【請求項 6】 前記レジストマスクされる領域は DRAM においてはワード線昇圧が行われるメモリセルアレイ

部であることを特徴とする請求項 5 記載のトリプルウェル構造の半導体集積回路の製造方法。

【請求項 7】 前記 N 型不純物のイオン注入により一部の P ウェルは N ウェルおよび埋め込み N 型層で覆われ、P 型半導体基板と電気的に絶縁されることを特徴とする請求項 5 又は 6 のいずれかに記載のトリプルウェル構造の半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

10 【発明の属する技術分野】 本発明は、トリプルウェル構造の半導体集積回路の製造方法に関する。

【0002】

【従来の技術】 従来より、DRAM や SRAM などの半導体集積回路では低消費電力化が強く要求されており、その有力な手段として低電源電圧化がある。しかし、この低電源電圧化は、外部から供給される外部電源電圧 V_{ext} が規格として固定されていて自由に設定できないことが多いので、外部電源電圧 V_{ext} をそのままにしてチップ内部で用いる内部電源電圧 V_{int} のみを低く設定することがよく行なわれている。

20 【0003】 CMOS 構成の半導体集積回路で外部電源電圧 V_{ext} と内部電源電圧 V_{int} の 2 種類の電源電圧を用いる場合には N ウェルが 2 種類必要になる。すなわち、外部電源電圧 V_{ext} に設定される N ウェルと内部電源電圧 V_{int} に設定される N ウェルとが必要になる。これを実現するウェル構成としては、例えば図 16 に示すように P 型シリコン基板 101 を用いてその表面に N ウェル 103、105 を形成するウェル構成がある。

30 【0004】 DRAM や SRAM などの半導体集積回路でこのウェル構成を採用するには問題がある。この問題を DRAM を例に挙げて説明する。図 17 は DRAM メモリセルの等価回路図である。この図において、メモリセルは一つのキャパシタ 150 と一つの NMOS 151 とから構成されている。NMOS 151 のゲートにはワード線 152 が接続されており、ソース、ドレインの一方にはビット線 153 が、他方にはメモリセルキャパシタ 150 が接続されている。なお、メモリセルキャパシタ 150 に電荷を蓄積した状態が情報を保持した状態である。

40 【0005】 メモリセルにアクセスするにはワード線 152 の電位を上げ、NMOS 151 をオンさせる。この状態でビット線 153 を通じてメモリセルキャパシタ 150 に情報の書き込み／読み出しを行なう。以上がメモリセルの動作原理である。DRAM ではこのようなメモリセルがアレイ状に並んでいる。これらメモリセルアレイは P ウェル内に形成される。なお、DRAM にはメモリセルアレイ部のほかに周辺回路部や入出力回路部が設けられている。

50 【0006】 この DRAM を図 16 に示すように形成した場合、メモリセルアレイが形成される P ウェル 102

を含むすべてのPウェルが基板を通じて導通状態になるので、以下のような問題を引き起こす。すなわち、入出力端子に負電位がかかった場合、入力端子に接続するN+拡散層108からPウェル104内に電子が放出され、この電子が基板101を通過してメモリセル部113のPウェル102に到着し、このウェル内のn+拡散層110に入り込んで、そこに接続しているメモリセルキャパシタ111の電荷を消去してしまうことがある。

【0007】また、周辺回路部のPウェルで発生した電氣的ノイズがメモリセル部113のPウェル102にまで伝播してしまい、メモリセルの情報を正しく読み出せないなどの悪影響を及ぼす可能性もある。また、Pウェルの電位をすべて共通にしなくてはならないため、ソフトエラー対策や、素子分離耐圧向上のためにメモリセル部113のPウェル102の電位を負に設定し、周辺回路部のPウェルについてはラッチアップ防止のために接地電位のままにすることができない。

【0008】以上の問題を解決する方法として、例えば特開平9-55483号公報に示されるトリプルウェル構造がある。このトリプルウェル構造の従来例について図18を用いて説明する。この図では、N型シリコン基板121上にNウェル125、126およびPウェル122、123に加えて埋め込みP型層124が形成されている。そして、Nウェル125はPウェル123と埋め込みP型層124に囲まれており、N型シリコン基板121と電氣的に絶縁されている。そして、埋め込みP型層124に囲まれているNウェル125には内部電源電圧Vintが印加されており、埋め込みP型層124に囲まれていないNウェル126には外部電源電圧Vextが印加されている。Pウェル122、123については、基板がN型のため互いに電氣的に絶縁されている。

【0009】このトリプルウェル構造では、内部電源電圧Vintに設定されるNウェル125と外部電源電圧Vextに設定されるNウェル126の2種類を用いることができるのに加えてPウェルも互いに電氣的に絶縁される。したがって、入出力端子に負電位がかかり、その端子に接続するn+拡散層からPウェルに電子が放出されてもその電子はN型シリコン基板121に吸収されるため、メモリセル部113のPウェル122まで到達しない。そのため、入出力端子に負電位がかかることによるメモリセルの情報が消去される恐れがない。

【0010】また、メモリセル部113のPウェル122がN型シリコン基板121により周辺回路部のPウェルと電氣的に絶縁されているので、周辺回路部で発生した電氣的ノイズがメモリセル部113にまで伝播し、メモリセルの情報が失われるということもない。また、メモリセル部113のPウェル122はN型シリコン基板121により周辺回路部や入出力回路部のPウェルと電氣的に絶縁されているので、ソフトエラー対策や素子分離耐圧向上のためにメモリセル部113のPウェル電位

を負に設定し、周辺回路部や入出力回路部のPウェルについては接地電位のままにすることができる。このように、トリプルウェル構造には多くのメリットがあるためDRAMやSRAMではトリプルウェル構造を用いることが多い。

【0011】一方、半導体集積回路には低消費電力化と共に高速化も要求されている。高速化のためにはMOSFETのオン電流を大きくすることが求められる。オン電流を大きくする方法としてゲート酸化膜の薄膜化がある。しかし、電源電圧を一定にしたままゲート酸化膜だけを薄膜化すると、ゲート酸化膜にかかる電界が強くなりゲート酸化膜の信頼性を確保できなくなる。したがって、ゲート酸化膜を薄くするためには電源電圧も下げなければならない。

【0012】ところが上述のようにチップ内部で用いる内部電源電圧Vintは下がってきても外部から供給される外部電源電圧Vextは規格として決まってい任意に下げられないことが多い。この場合、ゲート酸化膜厚は電圧の高い外部電源電圧Vextに合わせて厚く設定しなければならないため、内部回路については内部電源電圧Vintが低くても厚いゲート酸化膜を用いることとなり、オン電流が小さく高速化が阻害されてきた。

【0013】この問題を解決する方法として特開平9-186244号公報に示される方法がある。この方法は、1チップ内で2種類のゲート酸化膜厚を用い、外部電源電圧Vextの使われる入出力回路部のMOSFETのゲート酸化膜厚を内部電源電圧Vintの使われる内部回路のMOSFETのゲート酸化膜厚より厚く形成することを特徴としている。これにより、入出力回路部のMOSFETのゲート酸化膜の信頼性を維持したまま内部回路のMOSFETのゲート酸化膜厚だけを薄く形成してオン電流を大きくすることができる。

【0014】この半導体集積回路の製造工程を図19を参照して説明する。はじめに熱酸化により全面にシリコン酸化膜141を形成する。続いて、図19(a)に示すように、フォトリソグラフィにより入出力回路部140のみをレジストマスク145で覆う。続いてレジストマスク145で覆われていない領域のシリコン酸化膜141を選択的にエッチング除去する。その後、レジストマスク145を除去し、再び全面を熱酸化する。すると図19(b)に示すように内部回路を形成する領域142では薄いゲート酸化膜144が形成され、入出力回路部140では厚いゲート酸化膜143が形成される。

【0015】

【発明が解決しようとする課題】しかしながら、この方法では工程数が増加するという問題があった。すなわち、ゲート酸化膜が単一の場合は、ゲート酸化膜の形成のために熱酸化を1回行うだけで良いが、この方法ではゲート酸化膜143の形成のために、熱酸化を行った後にマスク工程を一回追加して酸化膜をエッチングし、再

び熱酸化をしなくてはならない。このように2種類のゲート酸化膜厚構造ではマスク工程が多くなりコストが高くなるという欠点がある。

【0016】なお、DRAMやSRAMなどの半導体集積回路では、外部電源電圧 V_{ext} が下がって内部電源電圧 V_{int} と同じになったとしても、1種類のゲート酸化膜厚を用いたのではゲート酸化膜を内部電源電圧 V_{int} に合わせて薄くできなかった。その理由はワード線昇圧を行うためワード線につながるゲートに内部電源電圧 V_{int} より高い電圧がかかるからである。ワード線昇圧について、DRAMを例に挙げて図17を用いて説明する。上述のようにDRAMでは、メモリセルキャパシタ150に電荷を蓄積して情報を保持する。メモリセルキャパシタ150に高電位を書き込む際には予めビット線153を内部電源電圧 V_{int} にしておき、ワード線152の電位を上げてNMOS151をオンさせる。するとビット線153からメモリセルキャパシタ150に電荷が送り込まれて、メモリセルキャパシタ150の電位が高電位になる。

【0017】ここでワード線152の電位を内部電源電圧 V_{int} までしか上げない場合、メモリセルキャパシタ150には内部電源電圧 V_{int} よりNMOS151の V_t 分低い電位しか書き込まれない。そこで、ワード線152の電位を内部電源電圧 V_{int} よりNMOS151の V_t 分高くして、メモリセルキャパシタ150に内部電源電圧 V_{int} の電位が書き込まれるようにする。これがワード線昇圧である。ワード線昇圧を行うとワード線につながるゲートに内部電源電圧 V_{int} より高い電圧がかかるので、ゲート酸化膜の信頼性を確保するためにワード線昇圧電圧に合わせてゲート酸化膜を厚く形成しなくてはならない。

【0018】そこで本発明は、工程数を増加させずに1チップ内に2種類のゲート酸化膜厚のMOSFETを形成することができるトリプルウェル構造の半導体集積回路の製造方法を提供することを目的としている。

【0019】

【課題を解決するための手段】請求項1記載の発明のトリプルウェル構造の半導体集積回路の製造方法は、トリプルウェル構造の半導体集積回路の製造方法であって、埋め込み不純物層のイオン注入マスクを同時にシリコン酸化膜のエッチングマスクに用い、このエッチングを利用して1チップで2種類の膜厚のゲート酸化膜を形成することを特徴とする。

【0020】請求項2記載の発明のトリプルウェル構造の半導体集積回路の製造方法は、トリプルウェル構造の半導体集積回路の製造方法であって、N型半導体基板にNウェル、Pウェル、素子分離を形成した後、熱酸化により全面にシリコン酸化膜を形成し、続いてシリコン酸化膜の必要とする領域をレジストでマスクし、続いてNウェル及びPウェルの底部に飛程が来る程度の注入エネ

ルギーでP型不純物をイオン注入し、このイオン注入後、レジストマスクで覆われていない領域のシリコン酸化膜をエッチング除去し、続いてレジストを除去して全面をもう一度熱酸化してレジストで覆っていた領域には厚いゲート酸化膜を形成し、覆っていなかった領域には薄いゲート酸化膜を形成し、その後通常の半導体製造工程に従ってゲート電極、ソース及びドレイン拡散層を形成することを特徴とする。

【0021】上記レジストマスクされる領域は、外部電源電圧 V_{ext} がゲートにかかる入出力回路部やDRAMにおいてはワード線昇圧が行われるメモリセルアレイ部である。また、上記P型不純物のイオン注入により一部のNウェルは、Pウェルおよび埋め込みP型層で覆われ、N型半導体基板と電気的に絶縁される。

【0022】請求項5記載の発明のトリプルウェル構造の半導体集積回路の製造方法は、トリプルウェル構造の半導体集積回路の製造方法であって、P型半導体基板にNウェル、Pウェル、素子分離を形成した後、熱酸化により全面にシリコン酸化膜を形成し、続いてシリコン酸化膜の必要とする領域をレジストでマスクし、続いてNウェル及びPウェルの底部に飛程が来る程度の注入エネルギーでN型不純物をイオン注入し、このイオン注入後、レジストマスクで覆われていない領域のシリコン酸化膜をエッチング除去し、続いてレジストを除去して全面をもう一度熱酸化してレジストで覆っていた領域には厚いゲート酸化膜を形成し、覆っていなかった領域には薄いゲート酸化膜を形成し、その後通常の半導体製造工程に従ってゲート電極、ソース及びドレイン拡散層を形成することを特徴とする。

【0023】上記レジストマスクされる領域は、DRAMにおいてはワード線昇圧が行われるメモリセルアレイ部である。また、上記N型不純物のイオン注入により一部のPウェルは、Nウェルおよび埋め込みN型層で覆われ、P型半導体基板と電気的に絶縁される。

【0024】

【発明の実施の形態】次に、本発明の実施の形態について図を参照して詳細に説明する。

(I) 第1の実施の形態

図1～図5は第1の実施の形態のトリプルウェル構造のDRAMの製造工程を示す断面図、図6はそのウェルの構成を示す平面図である。図6では解りやすいようにNウェル形成領域を斜線で示している。Nウェルが形成されない領域にはPウェルが形成される。なお、図1～図5は図6のA-A'断面である。

【0025】図5に示すように、この実施の形態のDRAMでは、N型シリコン基板1内にNウェル11、13、15、Pウェル10、12、14、16が形成されており、また周辺回路部31には埋め込みP型層17が形成されている。また、周辺回路部31のNウェル13は、Pウェル12、14及び埋め込みP型層17により

N型シリコン基板 1 と電氣的に絶縁されている。また、ゲート酸化膜厚が 2 種類あり、埋め込み P 型層 17 の形成される周辺回路部 31 のゲート酸化膜厚 6、7 は 55 オングストロームの膜厚で、埋め込み P 型層 17 の形成されないメモリセル部 30 及び入出力回路部 32 のゲート酸化膜厚 5、8、9 は 70 オングストロームの膜厚となっている。

【0026】次に、この実施の形態の DRAM の製造工程について説明する。はじめに、図 1 に示すように、N 型シリコン基板 1 の表面にトレンチ分離法により素子分離 2 を形成する。続いて、通常のレジストマスクとフォトリソグラフィーの技術を用いて N ウェル形成領域 11、13、15 にリンイオンを注入エネルギー 700 keV、注入量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して N ウェルを形成し、さらに P ウェル形成領域 10、12、14、16 にボロンイオンを注入エネルギー 300 keV、注入量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、P ウェルを形成する。

【0027】N ウェルと P ウェルの形成後、熱酸化を行い、N 型シリコン基板 1 の表面に 40 オングストロームのシリコン酸化膜 33 を形成する。続いて、図 2 に示すように、フォトリソグラフィーの技術によりメモリセル部 30 及び入出力回路部 32 をレジストマスク 34 で覆う。なお、このレジストマスク 34 で覆われる領域は、図 6 の点線 34 で示す領域である。メモリセル部 30 及び入出力回路部 32 をレジストマスク 34 で覆った後、ボロンイオンを注入エネルギー 1 MeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。このイオン注入により、レジストマスク 34 で覆われていない領域の基板内部に埋め込み P 型層 17 が形成される。埋め込み P 型層 17 の形成後、図 3 に示すように、レジストマスク 34 で覆われていない領域のシリコン酸化膜 33 をバッファードフッ酸によりエッチング除去する。その後、レジストマスク 34 を除去する。

【0028】レジストマスク 34 を除去した後、再び熱酸化を行い、図 4 に示すように、シリコン表面が露出している領域に膜厚 55 オングストロームのゲート酸化膜 35 を形成する。この時、予め表面にシリコン酸化膜 33 を形成した領域では、もともと 40 オングストロームのシリコン酸化膜があり、その上にさらに酸化するので、合計膜厚 70 オングストロームのゲート酸化膜 36 を形成することになる。ゲート酸化膜 35、36 の形成後、全面にリンイオンを $1 \times 10^{20} \text{ cm}^{-2}$ 程度含んだポリシリコン 37 を堆積する。なお、ポリシリコンの代わりにポリシリコンと金属シリサイド、例えばタングステンシリサイドの積層膜を用いてもよい。

【0029】ポリシリコン 37 の堆積後、図 5 に示すように、フォトリソグラフィーとドライエッチングによりポリシリコン 37 をパターニングしてゲート電極 25、26、27、28、29 を形成し、通常の DRAM の製造

方法に従いイオン注入により N 型シリコン基板 1 の表面にソース、ドレイン及びウェルコンタクトとなる n+ 拡散層及び p+ 拡散層を形成する。また、メモリセル部 30 ではメモリセルキャパシタ 3 を形成する。以上のようにして、この第 1 の実施の形態による DRAM が製造される。

【0030】この第 1 の実施の形態による DRAM はトリプルウェル構造にしているので、従来と同じトリプルウェル構造による利点を持っている。すなわち、図 5 に示すように、本実施の形態の DRAM では、周辺回路部 31 の N ウェル 13 は、P ウェル 12、14 と埋め込み P 型層 17 に覆われており、入出力回路部 32 の N ウェル 15 と電氣的に絶縁されている。このため、周辺回路部 31 の N ウェル 13 の V_{int} と入出力回路部 32 の N ウェル 15 の外部電源電圧 V_{ext} を別々にできる。本実施の形態では $V_{int} = 2 \text{ V}$ 、 $V_{ext} = 3.5 \text{ V}$ としている。

【0031】また、この第 1 の実施の形態による DRAM は N 型シリコン基板 1 を用いているため、周辺回路部 31 の P ウェル 14、入出力回路部 32 の P ウェル 16 とメモリセル部 30 の P ウェル 10 はすべて電氣的に絶縁される。これにより、入出力回路部 32 の P ウェル 16 内の n+ 拡散層に負電位がかかって P ウェル 16 内に電子が放出されても N 型シリコン基板 1 に吸収されてしまい、メモリセル部 30 には影響を及ぼさない。また、周辺回路部 31 と入出力回路部 32 の電気ノイズがメモリセル部 30 の P ウェル 10 に伝わることもない。さらにメモリセル部 30 の P ウェル 10 の電位 V_{bb} を -1 V、周辺回路部 31 の P ウェル 14、入出力回路部 32 の P ウェル 16 の電位を GND にすることができる。

【0032】また、この第 1 の実施の形態による DRAM は 2 種類のゲート酸化膜厚構造となっている。内部電源電圧 V_{int} を 2 V、外部電源電圧 V_{ext} とワード線昇圧電圧を 3.5 V を想定している。ゲートに外部電源電圧 V_{ext} またはワード線昇圧電圧のかかるメモリセル部 30 や入出力回路部 32 のゲート酸化膜 5、8、9 の膜厚は 70 オングストロームと周辺回路部 31 のゲート酸化膜 6、7 の膜厚 55 オングストロームより厚くなっている。膜厚 70 オングストロームのゲート酸化膜に 3.5 V の電圧がかかるとゲート酸化膜電界は 5 MeV/cm になるが、この電界強度では信頼性が確保される。一方、周辺回路部 31 のゲート酸化膜 6、7 の膜厚は 55 オングストロームと薄くなっているため、周辺回路部 31 の MOSFET のオン電流が増加する。

【0033】MOSFET のドレイン電流の理論式であるグラジュアルチャネル近似によると、オン電流はゲート酸化膜厚の逆数に比例する。このためゲート酸化膜厚を 1 種類しか用いず、周辺回路部 31 にもメモリセル部 30 や入出力回路部 32 と同じ膜厚 70 オングストロームのゲート酸化膜厚を用いた場合と比べて、55 オングストロームのゲート酸化膜厚を用いた本実施の形態では

周辺回路のMOSFETのオン電流が27%増加することになる。この結果、周辺回路部31の動作速度が速くなる。なお、周辺回路部31の内部電源電圧 V_{int} は2Vであるので、膜厚55オングストロームではゲート酸化膜の信頼性を十分確保できる。

【0034】以上のように、第1の実施の形態によるトリプルウェル構造のDRAMは、2種類のゲート酸化膜厚を用いているが、それを従来のトリプルウェル構造のDRAMからマスク工程の追加なしで実現している。それはトリプルウェル形成のためのイオン注入マスクを2種類のゲート酸化膜を形成するためのシリコン酸化膜33のエッチングに用いるレジストマスクと兼ねているからである。この結果、低消費電力化と高速化を低コストで達成することができる。

【0035】(II) 第2の実施の形態

次に、第2の実施の形態について述べる。第2の実施の形態はワード線昇圧を行う高抵抗負荷型SRAMに適用したものである。はじめにワード線昇圧を行う高抵抗負荷型SRAMについて説明する。図7は高抵抗負荷型SRAMのメモリセルの回路図である。ドライバトランジスタ Tr_1 と高抵抗負荷 R_1 からなるインバータと、ドライバトランジスタ Tr_2 と高抵抗負荷 R_2 からなるインバータが互いの入力相手が相手の出力となるように組み合わせられており、2つのノードP、Qの一方が高電位、他方が低電位となることによって情報が保持される。この情報にアクセスするためにアクセストランジスタ Tr_3 、 Tr_4 がノードP、Qに接続されている。ワード線の電位を高くすることによって、これらアクセストランジスタがオンし、ノードP、Qの電位がビット線R、Sに読み出されたり、逆にヒット線R、Sの電位がノードP、Qに書き込まれたりする。

【0036】ここで、ノードPに高電位を書き込む場合は次のようになる。はじめにビット線Rを内部電源電圧 V_{int} 、ビット線Sを接地電位にしておき、ワード線電位 V_{wl} を上げる。すると、アクセストランジスタ Tr_3 、 Tr_4 がオンし、ノードPに高電位、ノードQに低電位が書き込まれる。ところが、ワード線 V_{wl} を内部電源電圧 V_{int} までしか上げない場合、ノードPには内部電源電圧 V_{int} よりアクセストランジスタ Tr_3 の閾値電圧 V_t 分低い電位しか書き込まれない。十分長い時間の後には高抵抗 R_1 を流れる電流によりノードPの電位はさらに高くなる。しかしそれには長い時間がかかるので、書き込み直後はその効果は期待できない。

【0037】ノードに書き込まれる電位が低いとメモリセルの状態が不安定になりやすい。特に内部電源電圧 V_{int} が低い場合には顕著である。これを防止する方法としてワード線昇圧がある。すなわち、ワード線にかかる電圧 V_{wl} を内部電源電圧 V_{int} より高くして、ノードの電位が内部電源電圧 V_{int} まで上がるようにするのである。この方法を用いればノードに内部電源電圧 V_{int} が

書き込まれるので、メモリセルの状態が安定になる。このように高抵抗負荷型SRAMを低電圧で安定に動作させるにはワード線昇圧を用いる必要がある。

【0038】ここで、高抵抗負荷型SRAMのメモリセル構造について説明する(Symp. On VLSI Tech. Dig., P. 145の図1(a)参照)。図8はメモリセルの平面図である。この図では、理解しやすいようにゲート電極層を斜線で示した。上述のようにメモリセル内には4つのトランジスタが含まれており、そのうち2つのアクセストランジスタ Tr_3 、 Tr_4 のゲートはワード線が兼ねている。ワード線昇圧を行うSRAMではワード線に内部電源電圧 V_{int} より高い電圧がかかるので、2つのアクセストランジスタ Tr_3 、 Tr_4 のゲートに内部電源電圧 V_{int} より高い電圧がかかる。一方、2つのドライバトランジスタ Tr_1 、 Tr_2 のゲートには内部電源電圧 V_{int} までしかかからない。したがって、高抵抗負荷型SRAMメモリセルにおいては、信頼性確保のためにゲート酸化膜を厚くしてはいけないうのはメモリセル内の4つのトランジスタのうち、2つのアクセストランジスタについてだけである。

【0039】以下、第2の実施の形態による高抵抗負荷型SRAMの製造工程を図9を参照して説明する。図9(a)～(c)は図8のB-B'断面での製造工程を示す図である。なお、第2の実施の形態が上述した第1の実施の形態と異なるのはメモリセル部だけであるので、周辺回路部や入出力回路部については省略する。

【0040】はじめに、図9(a)に示すように、第1の実施の形態と同様にN型半導体基板1上にトレンチ素子分離2、Nウェル、Pウェル52を形成し、全面を熱酸化して40オングストロームのシリコン酸化膜33を形成する。続いてアクセストランジスタのゲート形成領域(図8の点線45で囲まれた領域)をレジスト34でマスクする。この時、第1の実施の形態と同様に入出力回路部もレジスト34でマスクされる。そして、ボロイオンを注入エネルギー1MeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して、基板内部に埋め込みP型層17を形成する。なお、この埋め込みP型層17は周辺回路部ではNウェルを覆うように形成されるが、セル部ではPウェルの一部となるだけである。

【0041】続いて、レジストでマスクされていない領域のシリコン酸化膜33をエッチング除去する。その後、レジストを除去し、図9(b)に示すように全面を55オングストローム再度熱酸化して第1の実施の形態と同様に2種類の膜厚のゲート酸化膜35、36を形成する。ゲート酸化膜35は55オングストロームであり、ゲート酸化膜36は70オングストロームである。そして、全面にゲートポリシリコンを堆積する。その後、ゲートをパターニングし、通常の工程を経て図9(c)のようになる。本実施の形態ではトリプルウェル

構造の高抵抗負荷型SRAMにおいて、第1の実施の形態と同様マスク工程の追加なしで2種類のゲート酸化膜厚構造が形成される。

【0042】(III) 第3の実施の形態

次に、第3の実施の形態について述べる。第3の実施の形態はシリコン基板としてP型シリコン基板を用いたDRAMに関するものである。図15は第3の実施の形態によるウェル構造を表す平面図、図10～図14は図15のC-C'断面を用いて示した本実施の形態による半導体集積回路の製造工程を示す断面図である。以下、第3の実施の形態によるDRAMの製造工程について述べる。

【0043】はじめに、図10に示すように、P型シリコン基板60の表面にトレンチ素子分離2、Nウェル13、63、15、Pウェル10、14、64、16を形成する。続いて、熱酸化により40オングストロームのシリコン酸化膜33を形成する。その後、図11に示すように、図15の埋め込みN型層マスク領域34にレジストマスクを形成し、それをマスクにリンイオンを注入エネルギー1.5MeV、注入量 $1 \times 10^{13} \text{ cm}^{-2}$ でイオン注入して埋め込みN型層61、62を形成する。

【0044】続いて、図12に示すように、レジスト34でマスクされていない領域のシリコン酸化膜33をエッチング除去する。そしてレジストマスク34を除去する。その後、図13に示すように、新たに55オングストロームの熱酸化を行う。この熱酸化によりシリコン酸化膜33の除去されていた領域では55オングストロームのゲート酸化膜35が、除去されていなかった領域では70オングストロームのゲート酸化膜36が形成される。その後、ポリシリコン37を堆積する。

【0045】ポリシリコン37を堆積した後、図14に示すように、第1の実施の形態と同様にゲート電極をパターンニングしてn+拡散層及びp+拡散層を形成し、メモリセルキャパシタ3を形成する。以上のようにして第3の実施の形態によるDRAMが形成される。この第3の実施の形態の効果について述べる。はじめに、図14を用いてトリプルウェルであることによる効果について述べる。本実施の形態においては、メモリセル部30のPウェル10と入出力回路部32や周辺回路部31のPウェル14、16はNウェル13、63、15及び埋め込みN型層61、62により電気的に絶縁されている。

【0046】このため、入出力回路部32のPウェル16内のn+拡散層に負電位がかかってPウェル16内に電子が放出されても取り囲むNウェル15及び埋め込みN型層62に吸収されてしまい、メモリセル部30には影響を及ぼさない。また、周辺回路部31と入出力回路部32の電気ノイズがメモリセル部30のPウェル10に伝わりメモリセルの情報が破壊されてしまう恐れがない。さらにメモリセル部30のPウェル10の電位 V_b を-1V、周辺回路部31のPウェル14、入出力回

路部32のPウェル16の電位をGNDにすることができ。

【0047】次に、2種類のゲート酸化膜厚を用いることの効果について述べる。第3の実施の形態では $V_{int} = 2 \text{ V}$ 、ワード線昇圧電圧 $= 3.5 \text{ V}$ を想定している。ここで、メモリセル部30のゲートにはワード線昇圧電圧の3.5Vがかかるが、ゲート酸化膜厚は70オングストロームなのでゲート酸化膜電界は 5 MeV/cm^2 となり、ゲート酸化膜の信頼性は確保される。一方、 $V_{int} = 2 \text{ V}$ がゲートにかかる周辺回路部31ではゲート酸化膜の膜厚が55オングストロームとメモリセル部30より薄くなっており、その分オン電流が大きくなる。ゲート酸化膜を1種類しか用いず、チップ内すべてのゲート酸化膜厚を70オングストロームとした場合と比べると、第1の実施の形態の場合と同様に周辺回路部31のオン電流は27%増加し、その分動作速度が向上する。

【0048】以上のことに加え、第3の実施の形態ではP型シリコン基板60を用いている。一般にP型シリコン基板はN型シリコン基板よりも単価が安い。したがって、第3の実施の形態ではN型シリコン基板を用いた第1の実施の形態よりもさらに低コスト化が図れる。このように第3の実施の形態では、低コストで低消費電力かつ高速なトリプルウェル構造のDRAMを製造できる。

【0049】

【発明の効果】本発明の方法によれば、トリプルウェル構造の半導体集積回路において、工程数を増加させずに1チップ内に2種類のゲート酸化膜厚のMOSFETを形成することができるので、低コストで低消費電力かつ高速なトリプルウェル構造のDRAMの製造が可能になる。

【図面の簡単な説明】

【図1】 第1の実施の形態のDRAMの製造工程を示す図である。

【図2】 第1の実施の形態のDRAMの製造工程を示す図である。

【図3】 第1の実施の形態のDRAMの製造工程を示す図である。

【図4】 第1の実施の形態のDRAMの製造工程を示す図である。

【図5】 第1の実施の形態のDRAMの製造工程を示す図である。

【図6】 第1の実施の形態のDRAMのウェル構造を表す平面図である。

【図7】 第2の実施の形態の高抵抗負荷型SRAMのメモリセルの回路図である。

【図8】 第2の実施の形態の高抵抗負荷型SRAMのメモリセルの平面図である。

【図9】 第2の実施の形態の高抵抗負荷型SRAMの製造工程を示す図である。

13

14

【図10】 第3の実施の形態のDRAMの製造工程を示す図である。

【図11】 第3の実施の形態のDRAMの製造工程を示す図である。

【図12】 第3の実施の形態のDRAMの製造工程を示す図である。

【図13】 第3の実施の形態のDRAMの製造工程を示す図である。

【図14】 第3の実施の形態のDRAMの製造工程を示す図である。

【図15】 第3の実施の形態のDRAMのウェル構造を表す平面図である。

【図16】 従来のDRAMの等価回路図である。

【図17】 従来のDRAMメモリセルを示す図である。

【図18】 従来のトリプルウェル構造を示す図である。

【図19】 従来の半導体集積回路の製造工程を示す図である。

【符号の説明】

1 N型シリコン基板 (N型半導体基板)

2 トレンチ分離

3 メモリキャパシタ

5、6、7、8、9 ゲート酸化膜

10、12、14、16 Pウェル

11、13、15 Nウェル

17 埋め込みP型層

25、26、27、28、29 ゲート電極

30 メモリセル部

10 31 周辺回路部

32 入出力回路部

33 シリコン酸化膜

34 レジストマスク

35、36 ゲート酸化膜

37 ポリシリコン

60 P型シリコン基板 (P型半導体基板)

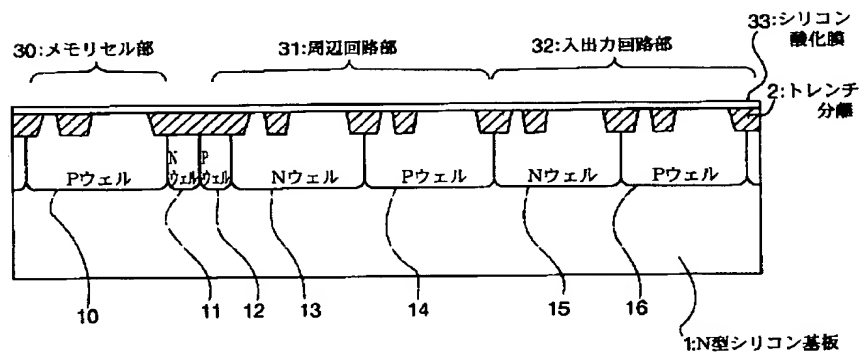
61、62 埋め込みN型層

63 Nウェル

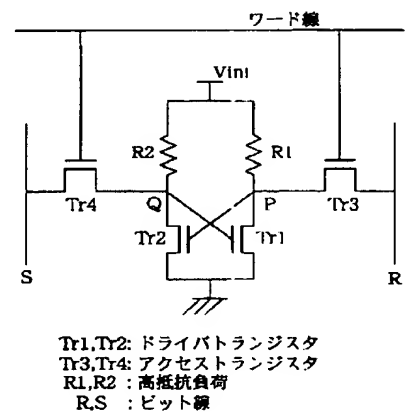
64 Pウェル

20 65、66 ゲート酸化膜

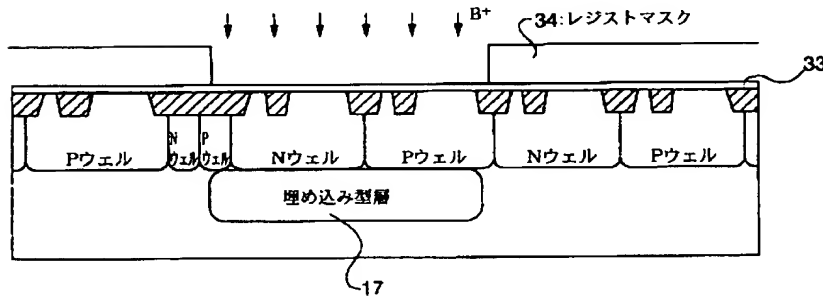
【図1】



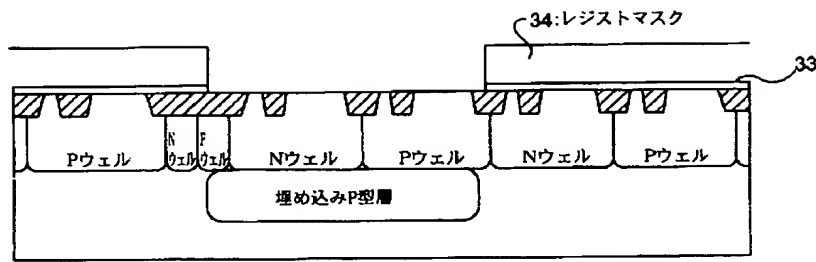
【図7】



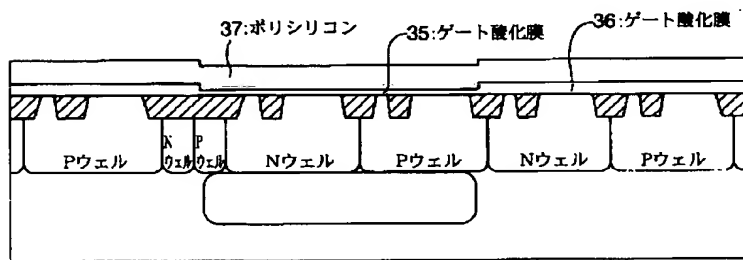
【図2】



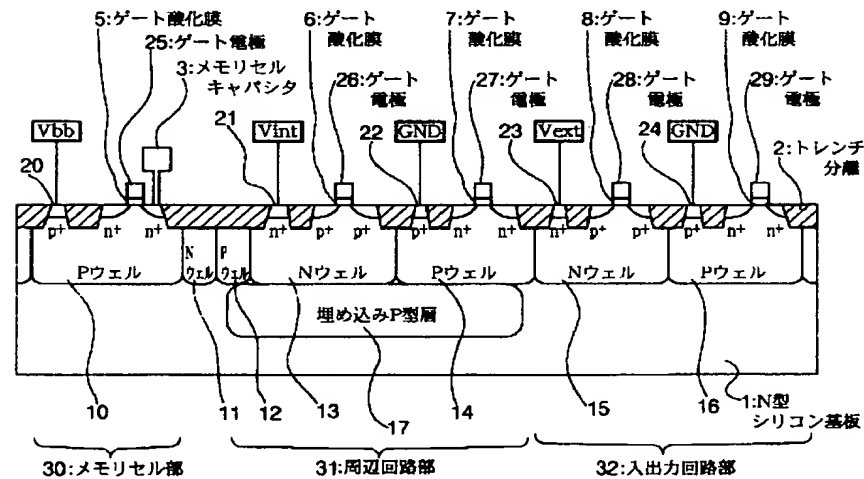
【図 3】



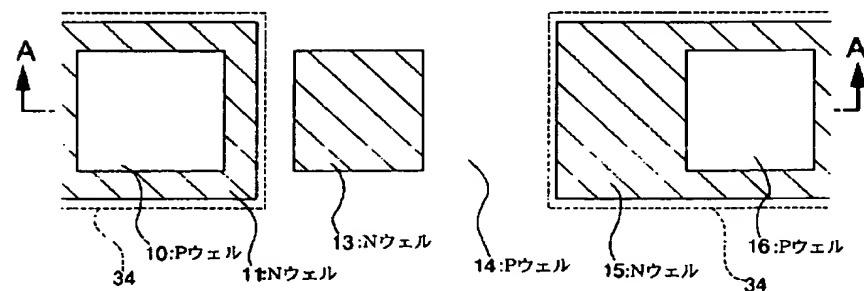
【図 4】



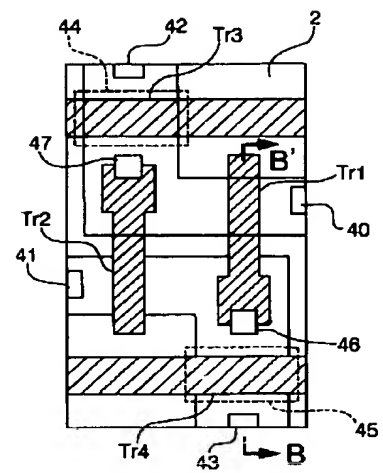
【図 5】



【図 6】

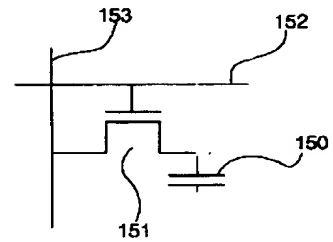


【図 8】



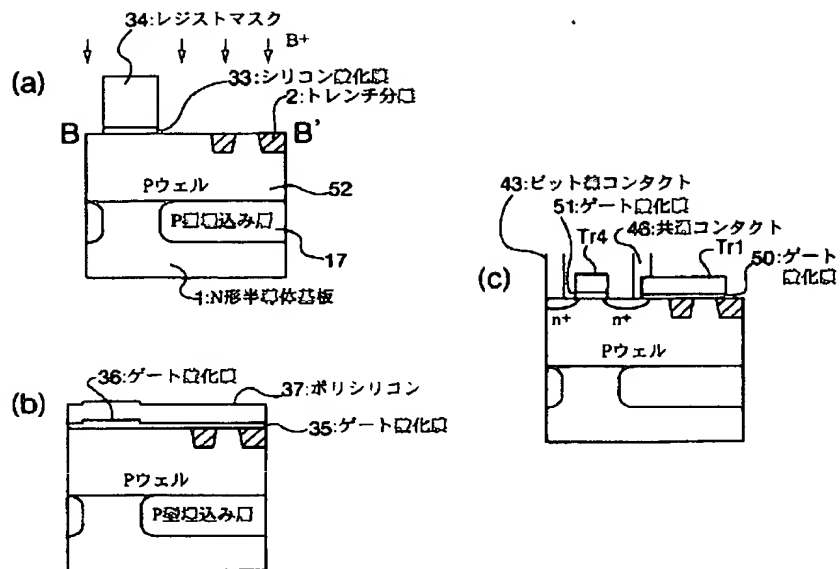
40,41: グランド線コンタクト
42,43: ビット線コンタクト
44,45: レジストマスク領域
46,47: 共通コンタクト

【図 17】

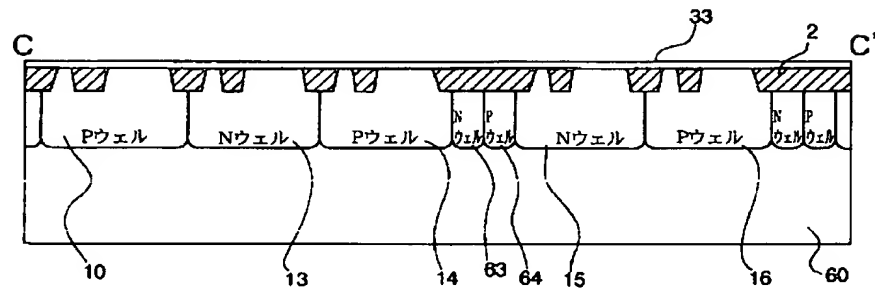


150: メモリセルキャパシタ
151: NMOS
152: ワード線
153: ビット線

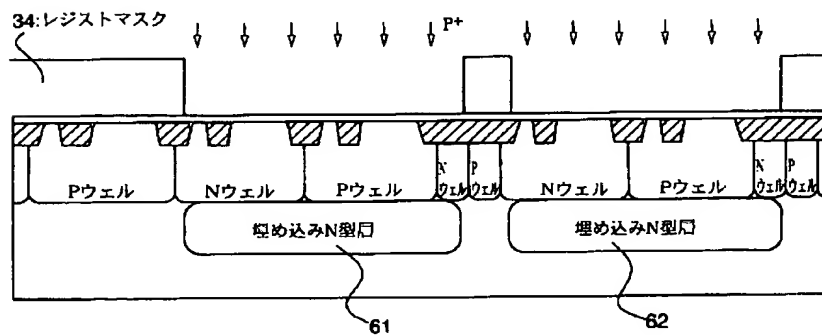
【図 9】



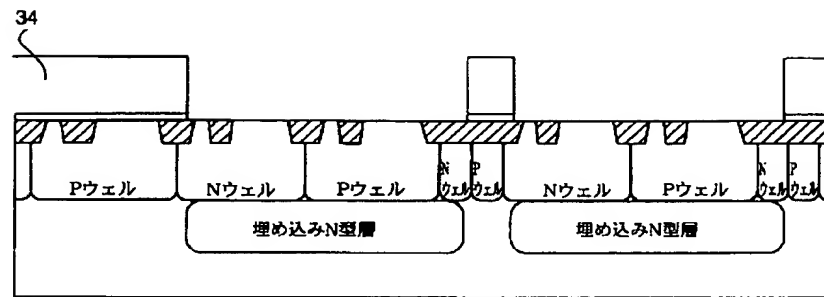
【図 10】



【図 11】

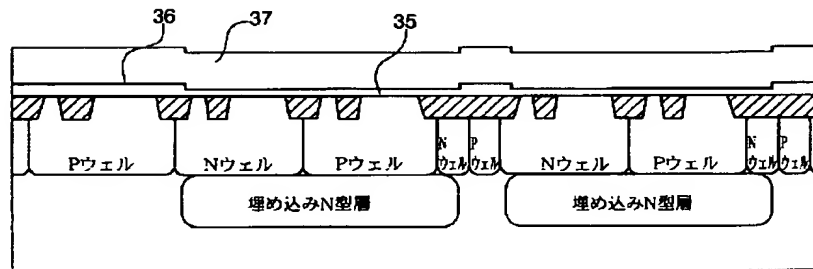


【図 1 2】

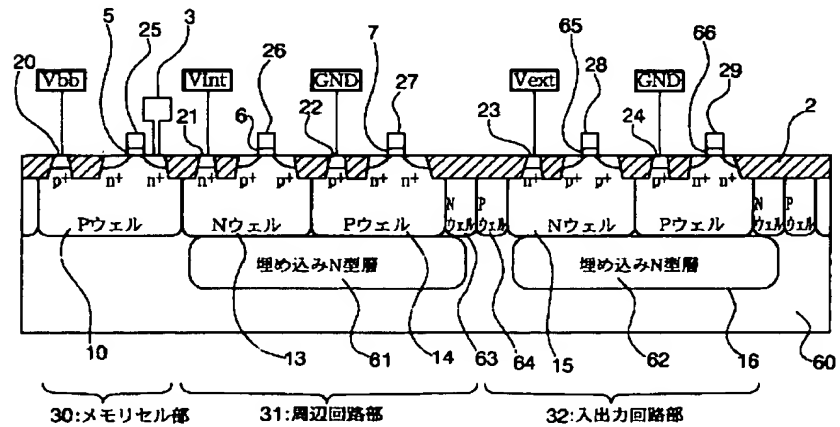


60: P型シリコン基板
 61, 62: 埋め込みN型層
 63: Nウェル
 64: Pウェル
 65, 66: ゲート酸化膜

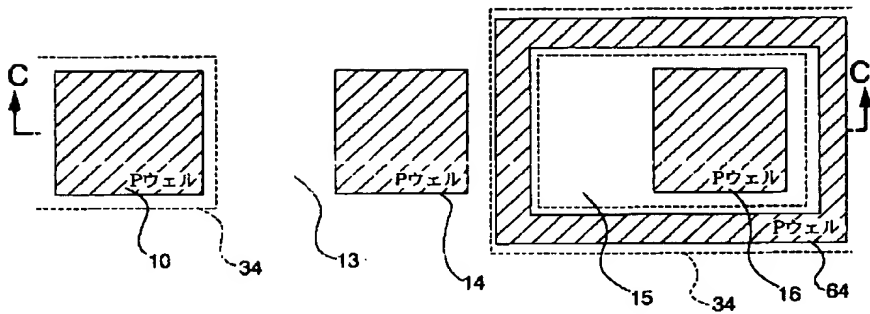
【図 1 3】



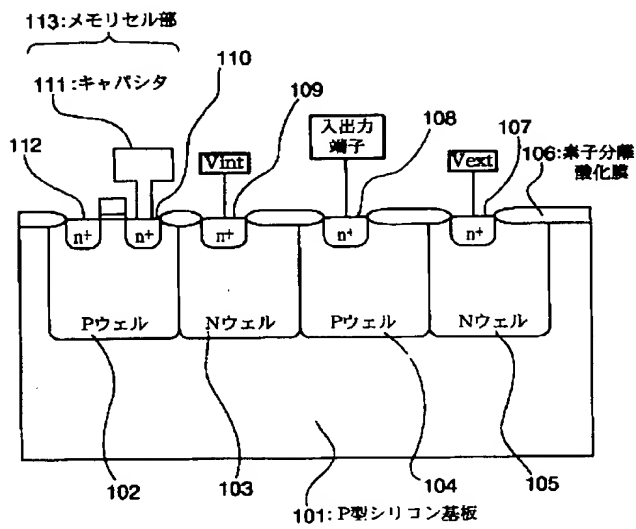
【図 1 4】



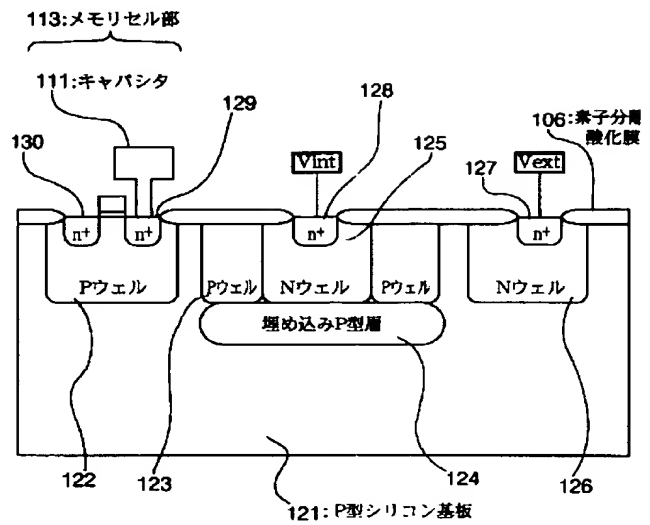
【図 1 5】



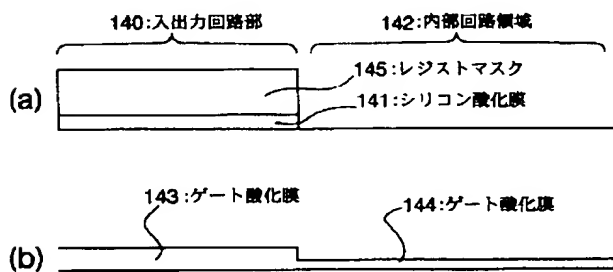
【図 1 6】



【図 1 8】



【図 1 9】



フロントページの続き

(51) Int. Cl.⁶
H 0 1 L 21/8242

識別記号

F I